

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-081862

(43)Date of publication of application : 12.04.1988

(51)Int.Cl.

H01L 29/78  
H01L 29/68

(21)Application number : 61-226871

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 25.09.1986

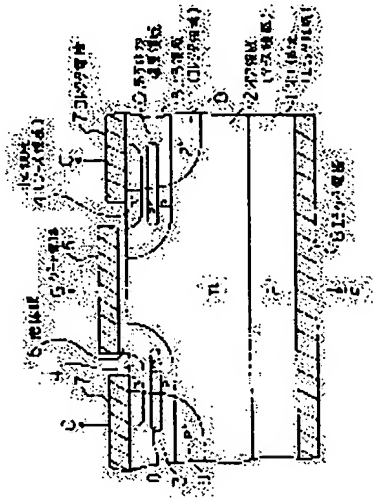
(72)Inventor : TAGAMI SABURO

## (54) INSULATED-GATE BIPOLAR TRANSISTOR

### (57)Abstract:

**PURPOSE:** To prevent ratching without increasing gate threshold voltage by providing a high impurity concentration region which is the same conductivity type to a collector region in the collector region directly under a source region.

**CONSTITUTION:** The low impurity concentration and a conductivity type, n<sup>+</sup> type, second region (drain or source region) (base region) 2 is provided on the first region (emitter region) 1 made of a p<sup>+</sup>-type substrate and the p-type third region (collector region) 3 is selectively formed on the surface of the second region 2. Further, the high impurity concentration n<sup>+</sup>-type fourth region (source region) 4 is selectively formed on the surface of the third region 3. A gate electrode 6 is provided on the fourth region 4 by interposing an insulating film 5 (gate insulating film). A collector electrode 7, an emitter electrode 8 and a p-type high impurity concentration layer 9 are also provided. A high impurity concentration region 10 which is the same conductivity type to the third region 3 is formed directly under the fourth region 4 in the third region 3 by such a method as to implant a high energy p-type ion by using the insulating film 5 which is used for forming the fourth region 4 as a mask before the gate electrode 6 and the collector electrode 7 are provided.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



## ⑫ 公開特許公報(A) 昭63-81862

⑤ Int.Cl.<sup>4</sup>H 01 L 29/78  
29/68

識別記号

3 2 1

庁内整理番号

J-8422-5F  
8526-5F

④ 公開 昭和63年(1988)4月12日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 絶縁ゲート型バイポーラトランジスタ

⑭ 特 願 昭61-226871

⑮ 出 願 昭61(1986)9月25日

⑯ 発 明 者 田 上 三 郎 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑰ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑱ 代 理 人 弁理士 富 村 潔

## 明 細 書

1. 発明の名称 絶縁ゲート型バイポーラトランジスタ

## 2. 特許請求の範囲

1) 高不純物濃度で第1導電型の第1領域と、第1領域上に設けられた低不純物濃度で第2導電型の第2領域と、第2領域表面部に選択的に形成された第1導電型の第3領域と、第3領域表面部に選択的に形成された高不純物濃度で第2導電型の第4領域と、第1領域表面に設けられたエミッタ電極と、第2領域と第4領域とで挟まれた第3領域表面近くをチャンネル領域としてこの上に絶縁膜を介して設けられたゲート電極と、第3領域表面と第4領域表面上にまたがって接触するコレクタ電極と、第3領域内において第4領域直下に設けられた第3領域と同導電型の高不純物濃度領域とを有することを特徴とする絶縁ゲート型バイポーラトランジスタ。

## 3. 発明の詳細な説明

【発明の属する技術分野】

本発明は絶縁ゲート型バイポーラトランジスタに関する。

【従来技術とその問題点】

バイポーラトランジスタの高い電流密度とパワーMOS FETの高速性とを結びつけた素子として、絶縁ゲート型バイポーラトランジスタが最近注目されてきている。この素子は第2図に示すような基本構成を持っており、構造上は縦型MOS FETのドレイン領域となるn<sup>+</sup>層をp<sup>+</sup>層に置き換えたものといえることができる。この素子は、p<sup>+</sup>基板1(エミッタ領域)の上に低不純物濃度のn<sup>+</sup>層2(ドレイン、又はベース領域)を形成し、このn<sup>+</sup>層2の表面部に選択的にp層3(コレクタ領域)、更にこのp層3の表面部に選択的にn<sup>+</sup>層4(ソース領域)を形成し、p層3のn<sup>+</sup>層2とn<sup>+</sup>層4とで挟まれた表面領域をチャンネル領域として、この上にゲート絶縁膜

5を介してゲート電極6を形成し、更にp層3とn層4にまたがってコレクタ電極7、p<sup>+</sup>基板1の下面にエミッタ電極8をそれぞれ形成するものである。なお、この素子の各領域に対する名称は、未だ統一されたものがないが、その主な電流の担い手が正孔であり、基本的にはnチャネルMOS FETによってベース電流(電子)を供給されたpnpトランジスタであると考えべきところからここでは上記のような名称とした。

この素子の動作は次のとおりである。コレクタ電極7をアースし、ゲート電極6及びエミッタ電極8に正の電圧を加えると、ゲート電極6の直下のp層3の表面が反転してnチャネルが形成され、電子がベース(又はドレイン)領域2に供給されるため、エミッタ領域1、ベース領域2、コレクタ領域3で構成されるpnpトランジスタはオン状態となる。このときベース領域2はバイポーラモードとなり電導度変調を受けるから、オン抵抗はMOS FETに比べて著しく低下する

しきい値電圧を増大させることなくラッチングを防止することにある。

#### 【発明の要点】

本発明は、高不純物濃度で第1導電型の第1領域と、第1領域上に設けられた低不純物濃度で第2導電型の第2領域と、第2領域表面部に選択的に形成された第1導電型の第3領域と、第3領域表面部に選択的に形成された高不純物濃度で第2導電型の第4領域と、第1領域表面に設けられたエミッタ電極と、第2領域と第4領域とで挟まれた第3領域表面近くをチャネル領域としてこの上に絶縁膜を介して設けられたゲート電極と、第3領域表面と第4領域表面上にまたがって接触するコレクタ電極とを有する絶縁ゲート型バイポーラトランジスタにおいて、第4領域直下の第3領域内に第3領域と同導電型の高不純物濃度領域を設けるものである。

#### 【発明の実施例】

次に本発明の実施例を図面について説明

が、その反面、寄生サイリスタが点弧するラッチング現象があり、この点がこの素子の大きな欠点となっている。

このラッチングは、ソース領域、コレクタ領域、ベース領域、エミッタ領域で構成される寄生サイリスタにおいて、ソース・ベース領域間の接合が順バイアスされてコレクタ領域に電子が注入されることによって起こるものである。これを防止するためには、コレクタ領域の抵抗を小さくする必要があり、そのためには、コレクタ領域の不純物濃度を高める方法、コレクタ領域に第2図の破線で示すようなp<sup>+</sup>層を設ける方法などがある。しかし前者の方法はゲートしきい値電圧の増大を招き好ましくなく、後者の方法ではフォトエッチング精度の制約によりコレクタ領域の抵抗低減には限度がある。

#### 【発明の目的】

本発明の目的は、絶縁ゲート型バイポーラトランジスタにおける上記の欠点を除去し、ゲート

する。

第1図は本発明の実施例の構成図で、第2図と同等部分には同符号を付してある。

第1図において、p<sup>+</sup>型の基板よりなる第1領域1(エミッタ領域)の上には低不純物濃度で第1領域1とは異なる導電型のn<sup>+</sup>型の第2領域2(ドレイン、又はソース領域)が設けられており、この第2領域2の表面部に選択的にp型の第3領域3(コレクタ領域)が形成され、更にこの第3領域3の表面部に選択的に高不純物濃度でn<sup>+</sup>型の第4領域4(ソース領域)が形成され、第3領域3の第2領域2と第4領域4とで挟まれた表面領域をチャネル領域として、この上に絶縁膜5(ゲート絶縁膜)を介してゲート電極6が設けられ、また第3領域3の表面と第4領域4の表面とにまたがってコレクタ電極7が設けられ、第1領域1の下面にはエミッタ電極8が形成され、更に第3領域3に表面部からp型の高不純物濃度層9が設けられている。以上は第2図の従来

のものと同様である。

本発明においては、ゲート電極6、コレクタ電極7を設ける前に、第4領域4を形成するのに使用した絶縁膜5をマスクとして高エネルギーのP型イオンを打ち込む等の方法により、第3領域3内の第4領域4直下に第3領域3と同導電型の高不純物濃度領域10が形成される。

【発明の効果】

本発明によれば、第4領域（ソース領域）の形成に使用したものと同一マスクにより第4領域の直下にそれと反対型の高不純物濃度層を形成することができるので、フォトリソエッチングの精度の影響を受けることなく第3領域（コレクタ領域）の抵抗を下げる事が可能となり、しかもこの付加した高不純物濃度領域は第4領域（ソース領域）より深い位置にあるので、チャネル領域の不純物濃度を高めることはなく、それ故ゲートしきい値電圧を増大させることなくラッチングを防止することができる。

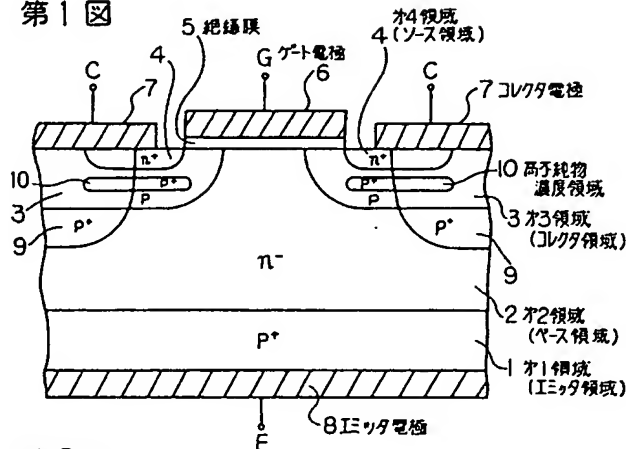
4. 図面の簡単な説明

第1図は本発明の実施例の構成図、第2図は従来例の構成図である。

1・・・第1領域（エミッタ領域）、 2・・・第2領域（ベース領域）、 3・・・第3領域（コレクタ領域）、 4・・・第4領域（ソース領域）、 5・・・絶縁膜（ゲート絶縁膜）、 6・・・ゲート電極、 7・・・コレクタ電極、 8・・・エミッタ電極、 10・・・高不純物濃度領域。

(6118) 代理人 弁護士 高村 浩

第1図



第2図

